



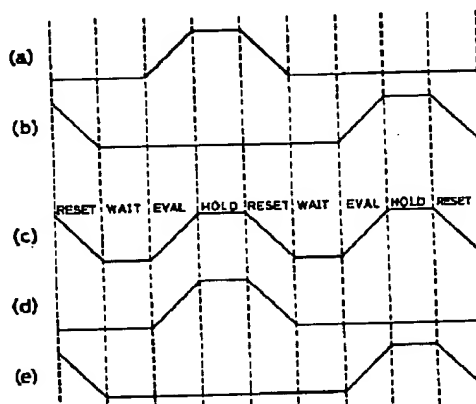
PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10308662 A**(43) Date of publication of application: **17.11.98**(51) Int. Cl. **H03K 19/096**(21) Application number: **09119982**(22) Date of filing: **09.05.97**(71) Applicant: **SHARP CORP**(72) Inventor: **KIOI KAZUMASA****(54) CMOS LOGIC CIRCUIT AND ITS DRIVING METHOD****(57) Abstract:**

PROBLEM TO BE SOLVED: To shorten an operation processing time in the driving method of a CMOS logic circuit which is provided with a clamping circuit constituted of a pair of PMOS transistors and two function circuits provided with at least one NMOS transistor, which is driven by pulse source and charges an output node in an adiabatic manner.

SOLUTION: Phases of inputs (a) and (b) are set to be similar to the phase of pulse source (c). When the pulse source (c) becomes a high level, any input (a) or (b) rises at the high level and outputs (d) and (e) corresponding to respective inputs (a) and (b) rise in accordance with the rise of the pulse source (c). The response delay of output against input is eliminated and operation processing time can be shortened while charging operation in an adiabatic manner is realized.

COPYRIGHT: (C)1998,JPO



(51) Int.Cl.⁸

H 0 3 K 19/096

識別記号

F I

H 0 3 K 19/096

B

審査請求 未請求 請求項の数4 O L (全 11 頁)

(21) 出願番号 特願平9-119982

(22) 出願日 平成9年(1997)5月9日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 鬼迫 一雅

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 原 謙三

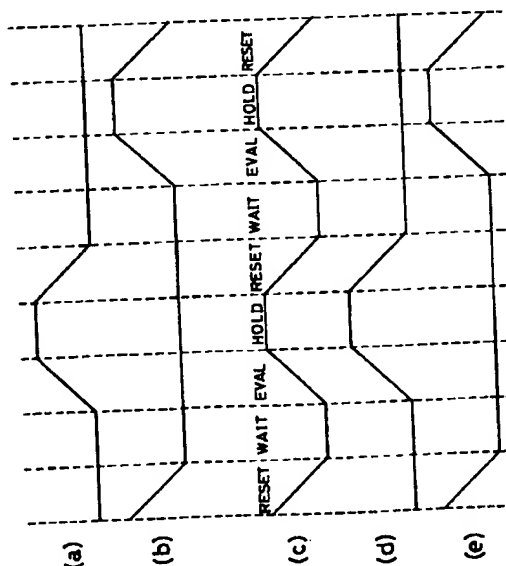
(54) 【発明の名称】 CMOS論理回路およびその駆動方法

(57) 【要約】

【課題】 たとえば一対のPMOSトランジスタから成るクランプ回路とそれぞれ少なくとも1つのNMOSトランジスタを備える2つの関数回路とを備えて構成され、(c)で示すパルス電源によって駆動され、出力ノードを断熱充電するようにしたCMOS論理回路の駆動方法において、演算処理時間の短縮を図る。

【解決手段】 (a) (b)で示す入力を前記パルス電源と同位相とする。したがって、パルス電源がハイレベルであるときには、いずれかの入力もハイレベルで立上っており、(d)および(e)で示すように、前記

(a) (b)で示すそれぞれの入力に対応する出力もパルス電源の立上がりに合わせて立上がり、断熱充電動作を実現しつつ、入力に対する出力の応答遅れを無くし、演算処理時間を短縮することができる。



【特許請求の範囲】

【請求項1】 一対のMOSトランジスタを備え、各MOSトランジスタのゲート電極は対を成す他方のMOSトランジスタのドレイン電極にクロス接続され、ソース電極は共にパルス電源または定電圧源のいずれか一方に接続されるクランプ回路と、少なくとも1つのMOSトランジスタを備え、該MOSトランジスタのゲート電極をそれぞれ入力ノードとし、一端が共通に前記パルス電源または定電圧源のいずれか他方に接続され、他端はクランプ回路の対応するMOSトランジスタのドレイン電極にそれぞれ接続されて出力ノードとなる2つの関数回路を含むCMOS論理回路において、複数個の該CMOS論理回路で複合論理を構成する場合に、前記パルス電源を共通とすることを特徴とするCMOS論理回路。

【請求項2】 前記クランプ回路は一対のPMOSTランジスタから成り、前記2つの関数回路はそれぞれ1または複数のNMOSTランジスタから成ることを特徴とする請求項1記載のCMOS論理回路。

【請求項3】 前記クランプ回路は一対のCMOSTランジスタから成り、前記2つの関数回路はそれぞれ1または複数のNMOSTランジスタまたはPMOSTランジスタから成ることを特徴とする請求項1記載のCMOS論理回路。

【請求項4】 一対のMOSトランジスタを備え、各MOSトランジスタのゲート電極は対を成す他方のMOSトランジスタのドレイン電極にクロス接続され、ソース電極は共にパルス電源または定電圧源のいずれか一方に接続されるクランプ回路と、少なくとも1つのMOSトランジスタを備え、該MOSトランジスタのゲート電極をそれぞれ入力ノードとし、一端が共通に前記パルス電源または定電圧源のいずれか他方に接続され、他端はクランプ回路の対応するMOSトランジスタのドレイン電極にそれぞれ接続されて出力ノードとなる2つの関数回路を含むCMOS論理回路の駆動方法において、

* 入力ノードを前記パルス電源と同位相で駆動することを特徴とするCMOS論理回路の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CMOS集積回路内に形成される論理回路およびその駆動方法に関し、特に前記論理回路として、低消費電力な断熱充電法を利用するCMOS構成の論理回路およびその駆動方法に関する。

【0002】

【従来の技術】 断熱充電論理回路は、Seitz,C.L.,Frey,A.H.,Mattisson,S.,Rabin,S.D.,Speck,D.A.,and van de Snepscheut,J.L.A.: "Hot-Clock nMOS," Proceedings of the 1985 Chapel Hill Conference on VLSI, pp.1-17 (Computer Science Press, 1985) によって提案されたMOS集積論理回路の低消費電力化の手法である。以下に、この断熱充電法について説明する。

【0003】 標準的なCMOS回路では、或るノードの電圧を充電するにあたって、電源に接続されたスイッチであるMOSFETを閉じると、ノードの容量Cが完全に充電されるまで、スイッチの抵抗によって、該スイッチによる電位差をVとすると、 $(1/2) \times CV^2$ の電力が消費される。しかしながら、ノードの電位が電源電位と等しければ、電源とノードとが接続されても、前記スイッチには電流が流れず、電力消費もなくなる。

【0004】 したがって、電源電圧を、スイッチ抵抗Rとノードの容量Cとの時定数RCに比べて比較的ゆっくりと上昇させると、スイッチによる電位差を小さくして、ノードの電位を電源電圧と同様に上昇させて近い値に保つことができる。このようにして、ノードの電位を電源に対して均衡させ、容量を断熱的に充電することができる。このとき、スイッチの抵抗で生じる消費電力は、

【0005】

【数1】

$$E = \int_0^T RI^2 dt = \int_0^T R \left[C \frac{dV}{dt} \right]^2 dt \quad \dots (1)$$

【0006】 で与えられる。ただし、Tはこの過程に要する時間であり、V(t)は容量の電圧特性である。

【0007】 ここで、電圧の勾配が線形であり、かつR、Tが定数で、 $T \gg RC$ であるとする、前記式1は※

$$E = \frac{1}{2} \cdot CV^2 \cdot \frac{2RC}{T} \quad \dots (2)$$

【0009】 なお、前記電圧の勾配が正弦波である場合には、上記式2に係数 $\pi^2/8$ が掛る。

【0010】 上記式2は、Tを無限大に大きくすると、ノードの容量を充電するのに必要な電力を零にできることを示している。このように準静的に充電する方法が前

※下式で近似される。

40 【0008】

【数2】

記断熱充電法であり、該断熱充電法での消費電力に関する点は、CMOSの標準的な充電方法では、時間に対して無関係、すなわちRC定数に無関係に、前述のように $(1/2) \times CV^2$ の電力を消費する点とは大きく異なっている。

【0011】たとえば図6で示すようなCMOSインバータの場合、入力ノードKIへの入力INを図7(a)で示すように変化するとき、出力ノードKOからの出力OUTは、図7(b)で示すように変化する。すなわち、入力INが時刻 t_{11} においてローレベルに立下がると、PMOSTランジスタQPが導通し、NMOSTランジスタQNが遮断し、出力ノードKOは、PMOSTランジスタQPを介して、電源ライン1を介して参照符I1で示す充電電流によって充電され、前記電源ライン1が接続される電源電位Vddまで充電される。

【0012】これに対して、前記入力INが時刻 t_{12} においてハイレベルに立上がると、PMOSTランジスタQPは遮断し、NMOSTランジスタQNは導通し、出力ノードKOの電荷は、NMOSTランジスタQNを介する電源ライン2への放電電流I2によって放電される。

【0013】したがって、このような通常の充電方法では、図8において、参照符 $\alpha 1$ で示す一定の電源電位Vddと、参照符 $\alpha 2$ で示す出力ノードKOの電位との間の電位差V1がスイッチングによる損失の原因となる。これに対して、前述の断熱充電法では、電源電位は参照符 $\alpha 3$ で示すように変化し、これに追従して出力ノードKOの電位も参照符 $\alpha 4$ で示すように変化し、損失は参照符V2で示す電位差に対応した僅かな値となる。

【0014】近年、このような断熱充電法を利用したMOSトランジスタ回路が盛んに考案されている。たとえば、Moon, Y., and Jeong, D.-K.: "Efficient Charge Recovery Logic," 1995 Symposium on VLSI Circuits Digest of Technical Papers, pp.129-130, May 1995. ならびに Kramer, A., Denker, J.S., Flower, B., and Moroney, J.: "2nd Order Adiabatic Computation with 2N-2P and 2N-2N2P Logic Circuits," Proc. Int. Symp. Low Power Design, pp.191-196, Dana Point, April 1995. では、図9で示すような基本的なCMOS論理回路LOGが示されている。

【0015】このCMOS論理回路LOGは、ECRL (Efficient Chargy Recovery Logic) 回路、または2N-2P回路と称されるインバータ/バッファである。このCMOS論理回路LOGは、大略的に、クランプ回路CLPと、2つの関数回路FUN1, FUN2とを備えて構成されている。前記クランプ回路CLPは、一対のPMOSTランジスタQP1, QP2を備えて構成されている。また、関数回路FUN1, FUN2は、それぞれ1個のNMOSTランジスタQN1, QN2を備える基本的な回路構成で実現されている。

【0016】前記PMOSTランジスタQP1, QP2のソース電極は、共通に電源ライン1に接続されており、この電源ライン1は、前記断熱充電法を実現するためのパルス電源 ϕ に接続されている。一方、NMOSTランジスタQN1, QN2のゲート電極は、それぞれ入

力ノードKI1, KI2に接続され、入力IN, /INが入力される。また、NMOSTランジスタQN1, QN2のソース電極には、電源ライン2を介して、定電圧源となる接地レベルが共通に印加される。

【0017】PMOSTランジスタQP1のドレイン電極とNMOSTランジスタQN1のドレイン電極とは、相互に接続されて出力ノードKO2となり、該出力ノードKO2からは出力OUTが出力され、また該出力ノードKO2は前記PMOSTランジスタQP2のゲート電極にクロス接続されている。同様に、PMOSTランジスタQP2のドレイン電極とNMOSTランジスタQN2のドレイン電極とは、相互に接続されて出力ノードKO1となり、出力OUTを導出するとともに、該出力ノードKO1は前記PMOSTランジスタQP1のゲート電極にクロス接続されている。

【0018】図10は、上述のように構成された断熱充電法を用いるCMOS論理回路LOGの典型的な従来技術の駆動方法を説明するための波形図である。この駆動方法では、「RESET」「WAIT」「EVALUATE」「HOLD」の4つの動作によって、1周期の動作が構成されている。図9における、入力IN、入力/IN、パルス電源 ϕ 、出力OUTおよび出力/OUTの各波形は、それぞれ図10(a)、図10(b)、図10(c)、図10(d)および図10(e)に対応している。

【0019】まず最初の周期では、「RESET」動作によって、パルス電源 ϕ がハイレベルからローレベルに引下げられて、出力ノードKO1, KO2のデータが消去される。次に、「WAIT」動作では、前記パルス電源 ϕ がローレベルのままで、いずれか一方の入力ノード、この図10の例では、入力ノードKI1への入力INがハイレベルに上げられる。

【0020】こうして、入力状態が確定すると、「EVALUATE」動作が行われ、パルス電源 ϕ がハイレベルに上げられる。このとき、前述のように入力INがハイレベルであり、入力/INはローレベルであるので、NMOSTランジスタQN1が導通し、NMOSTランジスタQN2が遮断しており、PMOSTランジスタQP2が導通し、出力OUTが前記パルス電源 ϕ の上昇に伴って上昇してゆく。またこのとき、MOSトランジスタQN2, QP1は遮断したままであり、出力/OUTはローレベルのままとする。

【0021】このようにして、出力ノードKO1, KO2の電位が確定すると、「HOLD」動作が行われ、入力ノードKI1, KI2がともにローレベルに引下げられて、入力データの消去が行われる。PMOSTランジスタQP1, QP2のゲート電極は、前述のように出力ノードKO1, KO2とクロス接続されており、したがって入力IN, /INを消去すると、NMOSTランジスタQN1, QN2はともに遮断するけれども、出力ノ

ードKO1のハイレベルは保持され、出力ノードKO2は接地電源と遮断されて浮遊状態となり、そのローレベルはダイナミックに保持される。

【0022】次の周期では、同様に「RESET」動作の後、「WAIT」動作では、入力/INが引上げられ、入力INはローレベルのままとされる。これによって、「HOLD」動作では、出力/OUTがハイレベルに保持され、OUTはローレベルとなる。このようにして、インバータ/バッファ動作が実現される。

【0023】上述のように構成されたCMOS論理回路LOGは、たとえば図11で示すように、該CMOS論理回路LOGを単位論理回路として、複数段カスケード接続された順序回路に構成され、レジスタなどとして使用されている。

【0024】この図11で示す例では、インバータ/バッファF1, F2, F3, F4は、それぞれ相互に位相が1/4周期だけずれたパルス電源φ1, φ2, φ3, φ4によって駆動される。パルス電源φ3, φ4は、パルス電源φ1, φ2とそれぞれ逆位相でよく、φ3=φ1, φ4=φ2となっている。第1段目のインバー

$$\text{OUT} = (A \cdot B + D \cdot E) \cdot (C + F) \quad \dots (3)$$

$$\text{OUT} = (A \cdot B + D \cdot E) \cdot (C + F) \quad \dots (4)$$

という論理を示している。ただし、 \cdot は論理ANDを表し、 $+$ は論理ORを表す。この論理回路logは、前記PMOSTランジスタQP1, QP2をクランプ回路CLPとし、前記NMOSTランジスタQN1に代えて、入力論理A, B, C, D, E, Fにそれぞれ対応するNMOSTランジスタQN11, QN12, QN13, QN14, QN15, QN16から成る関数回路FUN10と、前記NMOSTランジスタQN2に代えて、入力論理/A, /B, /C, /D, /E, /Fにそれぞれ対応するNMOSTランジスタQN21, QN22, QN23, QN24, QN25, QN26とを備える関数回路FUN20とを備えて構成されている。

【0027】

【発明が解決しようとする課題】上述の複合論理回路log

$$G = A \cdot B + D \cdot E \quad \dots (5)$$

$$\text{OUT} = (A \cdot B + D \cdot E) \cdot (C + F) \quad \dots (6)$$

の論理演算を行い、クランプ回路CLP2と関数回路FUN21, FUN22とから成る論理回路によって、

$$H = C + F \quad \dots (7)$$

$$\text{OUT} = (C + F) \cdot (G + H) = (G + H) \cdot (C + F) \quad \dots (8)$$

の論理演算を行うように構成されている。

【0029】この論理回路LOG1での演算結果G, Hが、クランプ回路CLP3と関数回路FUN31, FUN32とから成る第2段目の論理回路LOG2に入力されて、

$$\text{OUT} = (G + H) \cdot (C + F) = (G + H) \cdot (C + F) \quad \dots (9)$$

$$\text{OUT} = (G + H) \cdot (C + F) \quad \dots (10)$$

の論理演算が行われている。

【0030】したがって、論理回路LOG2は、論理回路LOG1の出力を入力としているので、前述の図10で示す典型的な従来技術の駆動方法を用いると、第1段

*タ/バッファF1には、前記入力IN, /INが与えられ、後続の各インバータ/バッファF2, F3, F4へは、前段のインバータ/バッファF1, F2, F3からの出力がそれぞれ与えられる。最終段のインバータ/バッファF4からは、前記出力OUT, /OUTが出力される。

【0025】図12に、各パルス電源φ1, φ2, φ3, φ4の動作波形図を示す。また、前記図12における各時刻t0, t1, t2, ...でのインバータ/バッファF1~F4の動作を図13で示す。この図13において、「#1」は、第1周期目のデータを表し、「#2」は第2周期目のデータを表す。このように、データ「#1」「#2」...は、パルス電源φ1~φ4に同期して、1/4周期毎に、順次、後段側にシフトされてゆく。

【0026】一方、前述のように構成されたCMOS論理回路LOGは、関数回路FUN1, FUN2のNMOSTランジスタQN1, QN2を、複数の素子の直列および/または並列構成とすることによって、所望とする任意の複合論理回路を構成することができる。たとえば、図14で示す複合論理回路logは、

※ogのように、AND論理が複合化されると、トランジスタの直列段数が増加してしまう。このため、該直列段数の増加による駆動能力の低下と、デバイスに要求される性能との兼ね合いによって生じる前記直列段数の制約から、論理演算を複数段に分割して行わなければならない場合がある。たとえば、前記NMOSTランジスタの直列段数が2個までに制限された場合、前記図14で示す回路は、図15で示す論理回路logaのように、2段の論理回路LOG1, LOG2に分割される。

【0028】この論理回路logaでは、第1段目の論理回路LOG1において、クランプ回路CLP1と関数回路FUN11, FUN12とから成る論理回路によって、

$$\text{OUT} = (A \cdot B + D \cdot E) \cdot (C + F) \quad \dots (5)$$

$$\text{OUT} = (A \cdot B + D \cdot E) \cdot (C + F) \quad \dots (6)$$

★UN21, FUN22とから成る論理回路によって、

$$\text{OUT} = (C + F) \cdot (G + H) = (G + H) \cdot (C + F) \quad \dots (7)$$

$$\text{OUT} = (C + F) \cdot (G + H) \quad \dots (8)$$

☆N32とから成る第2段目の論理回路LOG2に入力されて、

$$\text{OUT} = (G + H) \cdot (C + F) = (G + H) \cdot (C + F) \quad \dots (9)$$

$$\text{OUT} = (G + H) \cdot (C + F) \quad \dots (10)$$

目の論理回路LOG1の駆動に用いられるパルス電源φ1から1/4周期遅れのパルス電源φ2が、第2段目の単位論理回路LOG2の駆動に用いられることになる。

このため、従来技術の駆動方法では、複合論理を分割す

ると、その分割個数分だけ、演算処理に必要なクロック数が増加し、演算処理時間が長くなるという問題がある。

【0031】本発明の目的は、演算処理時間を短縮することができるCMOS論理回路およびその駆動方法を提供することである。

【0032】

【課題を解決するための手段】請求項1の発明に係るCMOS論理回路は、一対のMOSトランジスタを備え、各MOSトランジスタのゲート電極は対を成す他方のMOSトランジスタのドレイン電極にクロス接続され、ソース電極は共にパルス電源または定電圧源のいずれか一方に接続されるクランプ回路と、少なくとも1つのMOSトランジスタを備え、該MOSトランジスタのゲート電極をそれぞれ入力ノードとし、一端が共通に前記パルス電源または定電圧源のいずれか他方に接続され、他端はクランプ回路の対応するMOSトランジスタのドレイン電極にそれぞれ接続されて出力ノードとなる2つの関数回路とを含むCMOS論理回路において、複数の該CMOS論理回路で複合論理を構成する場合に、前記パルス電源を共通とすることを特徴とする。

【0033】上記の構成によれば、複雑な複合論理を構成するにあたって、関数回路のMOSトランジスタが直列多段となってしまう、駆動能力の低下によって所望とするデバイス性能が得られない場合に、該論理を分割し、複数のCMOS論理回路でそれぞれ演算処理して、その演算処理結果を合成するように構成すると、分割した各論理の演算のためのCMOS論理回路からの出力、すなわち後段側のその分割された論理を合成するためのCMOS論理回路の入力は、パルス電源と同位相となっているのに対して、前記後段側のCMOS論理回路に共通のパルス電源から電力を供給しても、その出力ノードは断熱充電されることになる。

【0034】このようにして、低消費電力である断熱充電法を利用するようにしたCMOS論理回路において、複数のCMOS論理回路で複合論理を構成しても、それぞれのCMOS論理回路に個別の位相のパルス電源が必要とならず、演算処理のための時間を短縮することができる。また、パルス電源がハイレベルであるときに、ハイレベルとなるべき入力ノードがハイレベルに入力値が確定したままで保持されるので、ローレベルとなるべき出力ノードは浮遊状態となることなく、その出力レベルは安定して保持される。

【0035】また、請求項2の発明に係るCMOS論理回路では、前記クランプ回路は一対のPMOSトランジスタから成り、前記2つの関数回路はそれぞれ1または複数のNMOSトランジスタから成ることを特徴とする。

【0036】上記の構成によれば、入力ノードに接続される関数回路がNMOSトランジスタであるので、駆動

能力が高く、高速動作に対応することができる。

【0037】さらにまた、請求項3の発明に係るCMOS論理回路では、前記クランプ回路は一対のCMOSトランジスタから成り、前記2つの関数回路はそれぞれ1または複数のNMOSトランジスタまたはPMOSトランジスタから成ることを特徴とする。

【0038】上記の構成によれば、クランプ回路がCMOS構成であるので、出力ノードがハイレベルまたはローレベルのいずれの状態であっても、その出力ノードの論理が安定して保持され、誤動作を防止することができる。

【0039】また、請求項4の発明に係るCMOS論理回路の駆動方法は、一対のMOSトランジスタを備え、各MOSトランジスタのゲート電極は対を成す他方のMOSトランジスタのドレイン電極にクロス接続され、ソース電極は共にパルス電源または定電圧源のいずれか一方に接続されるクランプ回路と、少なくとも1つのMOSトランジスタを備え、該MOSトランジスタのゲート電極をそれぞれ入力ノードとし、一端が共通に前記パルス電源または定電圧源のいずれか他方に接続され、他端はクランプ回路の対応するMOSトランジスタのドレイン電極にそれぞれ接続されて出力ノードとなる2つの関数回路とを含むCMOS論理回路の駆動方法において、入力ノードを前記パルス電源と同位相で駆動することを特徴とする。

【0040】上記の構成によれば、入力がパルス電源と同位相で変化しても、ハイレベルを出力すべき出力ノードの電位も同位相で変化するので、該出力ノードは断熱充電されることになる。

【0041】したがって、低消費電力である断熱充電法を利用するようにしたCMOS論理回路において、入力と出力とが同位相となり、演算処理のための時間を短縮することができる。

【0042】

【発明の実施の形態】本発明の実施の一形態について、図1～図4に基づいて説明すれば以下のとおりである。

【0043】図1は、たとえば前述の図9で示されるCMOS論理回路LOGなどに適用される本発明の駆動方法による動作を説明するための波形図である。本発明の駆動方法では、前述の図10で示す従来技術の駆動方法と同様に、「RESET」「WAIT」「EVALUATE」「HOLD」の4つの動作によって、1周期の動作が構成されている。この図1において、入力IN、入力／IN、パルス電源φ、出力OUTおよび出力／OUTの各波形は、それぞれ図1(a)、図1(b)、図1(c)、図1(d)および図1(e)に対応している。

【0044】本発明の駆動方法で注目すべきは、ハイレベルとなる入力IN、／INが、パルス電源φと同位相とされることである。したがって、まず最初の周期では、「RESET」動作によって、パルス電源φがハイ

レベルからローレベルに引下げられて、出力ノードKO1, KO2のデータが消去されるとともに、ハイレベルであった入力、図1の例では/INがローレベルに引下げられる。次に、「WAIT」動作では、パルス電源 ϕ および入力IN, /INが共にローレベルとされ、したがって出力OUT, /OUTもローレベルとされる。

【0045】続いて、パルス電源 ϕ のレベルを上上げる「EVALUATE」動作が行われ、このとき一方の入力、すなわちこの図1の例ではINも、そのパルス電源 ϕ の上昇にともなって、ハイレベルに引上げられる。またこのとき、入力/INは、ローレベルのままとされる。したがって、NMOSトランジスタQN1が導通し、NMOSトランジスタQN2が遮断して、PMOSトランジスタQP2が導通し、出力OUTがハイレベルに上昇してゆく。またこのとき、PMOSトランジスタQP1は遮断したままであり、出力/OUTはローレベルのままとなる。

【0046】このようにして、出力ノードKO1, KO2の電位が確定すると、「HOLD」動作となり、前記パルス電源 ϕ および入力ノードINがハイレベルのまま保持され、したがって出力OUTもハイレベルのままとなる。このとき、前述の図10で示す従来技術では、入力INがローレベルとなってしまうので、出力ノードKO2は接地電源と遮断されて浮遊状態となり、そのローレベルはダイナミックに保持されていただけであるのに対して、本発明では、MOSTランジスタQN1, QP2が導通しているので、出力ノードKO1, KO2の電位が安定して保持される。

【0047】次の周期では、同様に「RESET」動作が行われ、パルス電源 ϕ の引下げにともなって、ハイレベルであった入力INもローレベルに引下げられる。これによって、ハイレベルであった出力OUTもローレベルとなる。次の「WAIT」動作では、パルス電源 ϕ および入力IN, /INが共にローレベルとされ、したがって、出力OUT, /OUTもローレベルとされる。これに続いて、「EVALUATE」動作では、入力INはローレベルのままで、パルス電源 ϕ の上昇にともなって、入力/INがハイレベルに引上げられ、これによって出力/OUTがハイレベルとなる。「HOLD」動作では、パルス電源 ϕ および入力/INのハイレベルが保持され、出力/OUTもハイレベルに安定して保持される。さらに次の周期の「RESET」動作となると、パルス電源 ϕ の低下にともなって、入力/IN, したがって出力/OUTがローレベルに引下げられる。

【0048】なお、上述のような駆動方法は、たとえば、図2～図4で示すような各CMOS論理回路LOGa, LOGb, LOGcなどでも実施することができる。これらのCMOS論理回路LOGa, LOGb, LOGcにおいて、前述の図9で示すCMOS論理回路LOGに類似し、対応する部分には同一の参照符号を付し

てその説明を省略する。

【0049】図2のCMOS論理回路LOGaは、クランプ回路CLPaをNMOSTランジスタQN1a, QN2aで構成し、2つの関数回路FUN1a, FUN2aをそれぞれPMOSTランジスタQP1a, QP2aで構成している。このようにして、関数回路をNMOSTランジスタだけでなく、PMOSTランジスタを用いて構成することによって、論理回路全体として、NMOSTランジスタ数とPMOSTランジスタ数とにあまり差が無い回路を実現することができ、集積回路としてのレイアウト効率を良くすることができる。

【0050】また、図3のCMOS論理回路LOGbは、NMOSTランジスタQN1, QN2からそれぞれ成る関数回路FUN1, FUN2に、PMOSTランジスタQP1b, QP2bおよびNMOSTランジスタQN1b, QN2bから成るクランプ回路CLPbを組合わせて構成されている。MOSTランジスタQP1b, QN1bの直列回路と、MOSTランジスタQP2b, QN2bの直列回路とが、電源ライン1, 2間に介在されている。

【0051】MOSTランジスタQP1b, QN1bのドレイン間の接続点が、前記NMOSTランジスタQN1のドレインとともに前記出力ノードKO2となり、この出力ノードKO2の電位は、MOSTランジスタQP2b, QN2bのゲートに与えられる。同様に、MOSTランジスタQP2b, QN2bのドレイン間の接続点および前記NMOSTランジスタQN2のドレインは、前記出力ノードKO1となり、この出力ノードKO1の電位は、MOSTランジスタQP1b, QN1bのゲートに与えられる。したがって、出力ノードKO1, KO2の電位は、ハイレベルまたはローレベルのいずれになっても、その電位を安定して保持することができる。

【0052】したがって、同様に、図4のCMOS論理回路LOGcで示すように、前述のPMOSTランジスタQP1a, QP2aからそれぞれ成る関数回路FUN1a, FUN2aに、このクランプ回路CLPbを用いるようにしてもよい。

【0053】このようなCMOS論理回路LOG, LOGa, LOGb, LOGcのいずれの構成であっても、前述の図1のように、入力IN, /INをパルス電源 ϕ と同位相とすることができ、従来の図10で示す駆動方法では、入力IN, /INから出力OUT, /OUTまでは1/4周期の遅れが生じていたのに対して、その遅れを無くすることができ、演算処理時間を短縮することができる。また、パルス電源 ϕ がハイレベルであるときには、入力IN, /INが確定したままであるので、出力ノードKO1, KO2が浮遊状態となることなく、出力OUT, /OUTを安定して保持することができ、誤動作を防止することができる。

【0054】さらにまた、入力IN, /INをパルス電

源 ϕ と同位相で駆動することによって、単位論理回路である上記図9、図2、図3および図4で示すCMOS論理回路LOG、LOG a、LOG b、LOG cを、前記図11で示すようにカスケード接続する場合にも、演算処理時間を短縮することができる。

【0055】本発明の実施の第2の形態について、図5に基づいて説明すれば以下のとおりである。

【0056】図5は、本発明の実施の第2の形態のCMOS論理回路LOG dの電気回路図である。このCMOS論理回路LOG dは、前述の式3、4の複合論理を実現するための回路であり、式5、6および式7、8の論理演算を行う第1段目の論理回路LOG 1は、前述の図15で示すCMOS論理回路log aの構成と同様に構成されている。しかしながら、式5、6および式7、8の論理演算結果のAND論理を実現する第2段目の論理回路LOG 2は、第1段目の論理回路LOG 1と同様のパルス電源 ϕ で駆動されている。

【0057】第1段目の論理回路LOG 1は、パルス電源 ϕ がハイレベルであるときに、そのローレベルとなるべき出力ノードが浮遊状態となるけれども、出力G、Hが共にハイレベルであるときには関数回路FUN 31が導通しており、これに対して出力G、Hが共にハイレベルでないときには関数回路FUN 32が導通しており、これによって第2段目の論理回路LOG 2の出力ノードは浮遊状態となることなく、出力OUT、 \neg OUTは安定して保持される。

【0058】この点、第1段目の論理回路LOG 1のクランプ回路CLP 1、CLP 2を、前述のクランプ回路CLP bとすることによって、ローレベル出力時に浮遊状態となるノードを無くすることができる。また、第2段目の論理回路LOG 2のクランプ回路CLP 3に、前述のクランプ回路CLP bを用いることによって、関数回路FUN 31、FUN 32をNMOSトランジスタのサイズが小さいままで、出力ノードの駆動力を高めることができ、該出力ノードに接続されるノード数、すなわちいわゆるファンアウトの大きい回路に好適に実施することができる。さらにまた、第2段目の論理回路LOG 2の関数回路FUN 31、FUN 32をPMOSトランジスタで構成することによって、単位論理回路を構成する該CMOS論理回路LOG dについて考えると、NMOSトランジスタ数とPMOSトランジスタ数とにあまり差が無い回路を実現することができ、集積回路としてのレイアウト効率を良くすることができる。

【0059】また、このCMOS論理回路LOG dを単位論理回路として、前述の図11で示すような4種類のパルス電源 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 、 $\phi 4$ を用いることによって、任意の順序回路を構成することができる。

【0060】なお、所望とする複合論理、たとえば前述の式3、4で示す論理を、上述のCMOS論理回路LOG dのように、2つの論理回路LOG 1、LOG 2に分

割するのではなく、さらに多数の論理回路に分割してもよく、また第2段目の論理回路LOG 2に含まれる単位論理回路も、複数あってもよい。

【0061】

【発明の効果】請求項1の発明に係るCMOS論理回路は、以上のように、クランプ回路と、2つの関数回路とを含み、断熱充電法を用いるようにしたCMOS論理回路において、複雑な複合論理を構成するにあたって、該論理を分割し、複数のCMOS論理回路でそれぞれ演算処理してその演算処理結果を合成するようにしても、後段側のその分割された論理を合成するためのCMOS論理回路に対して共通のパルス電源から電力を供給する。

【0062】それゆえ、それぞれのCMOS論理回路に個別の位相のパルス電源が必要とならず、演算処理のための時間を短縮することができる。また、パルス電源がハイレベルであるときに、ハイレベルとなるべき入力ノードがハイレベルに入力値が確定したままで保持されるので、ローレベルとなるべき出力ノードは浮遊状態となることなく、その出力レベルは安定して保持される。

【0063】また、請求項2の発明に係るCMOS論理回路は、以上のように、前記クランプ回路を一对のPMOSトランジスタで構成し、前記2つの関数回路をそれぞれ1または複数のNMOSトランジスタで構成する。

【0064】それゆえ、入力ノードに接続される関数回路がNMOSトランジスタであるので、駆動能力が高く、高速動作に対応することができる。

【0065】さらにまた、請求項3の発明に係るCMOS論理回路は、以上のように、前記クランプ回路を一对のCMOSトランジスタで構成し、前記2つの関数回路をそれぞれ1または複数のNMOSトランジスタまたはPMOSトランジスタで構成する。

【0066】それゆえ、クランプ回路がCMOS構成であるので、出力ノードがハイレベルまたはローレベルのいずれの状態であっても、その出力ノードの論理が安定して保持され、誤動作を防止することができる。

【0067】また、請求項4の発明に係るCMOS論理回路の駆動方法は、以上のように、クランプ回路と、2つの関数回路とを含み、断熱充電法を用いるようにしたCMOS論理回路の駆動方法において、入力ノードを前記パルス電源と同位相で駆動する。

【0068】それゆえ、入力と出力とが同位相となり、演算処理のための時間を短縮することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態のCMOS論理回路の駆動方法を説明するための波形図である。

【図2】図1で示す駆動方法を実施することができるCMOS論理回路の電気回路図である。

【図3】図1で示す駆動方法を実施することができる他のCMOS論理回路の電気回路図である。

【図4】図1で示す駆動方法を実施することができるさ

らに他のCMOS論理回路の電気回路図である。

【図5】本発明の実施の第2の形態のCMOS論理回路の電気回路図である。

【図6】CMOSインバータの充放電動作を説明するための電気回路図である。

【図7】図6で示すCMOSインバータの動作を説明するための波形図である。

【図8】通常の充電方法と断熱充電法との違いを説明するためのグラフである。

【図9】図1で示す駆動方法を実施することができ、前記断熱充電法を用いる基本的なCMOS論理回路の電気回路図である。

【図10】断熱充電法を用いる典型的な従来技術のCMOS論理回路の駆動方法を説明するための波形図である。

【図11】図9で示すCMOS論理回路を用いて構成されるシフトレジスタの電気回路図である。

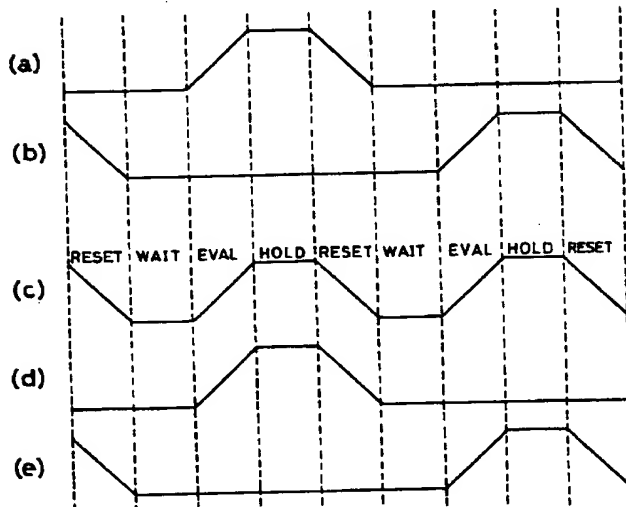
【図12】図11で示すシフトレジスタの動作を説明するためのパルス電源の波形図である。

【図13】図11で示すシフトレジスタの動作を説明するための各インバータ／バッファの動作状態を示す図である。

【図14】複合論理のCMOS論理回路の電気回路図である。

【図15】図14で示すCMOS論理回路の複合論理を

【図1】



分割して構成される従来技術のCMOS論理回路の電気回路図である。

【符号の説明】

1, 2 電源ライン

CLP, CLPa, CLPb クランプ回路

CLP1, CLP2, CLP3 クランプ回路

FUN1, FUN2 関数回路

FUN1a, FUN2a 関数回路

FUN11, FUN12 関数回路

FUN21, FUN22 関数回路

FUN31, FUN32 関数回路

KI1, KI2 入力ノード

KO1, KO2 出力ノード

LOG, LOGa, LOGb, LOGc, LOGd

CMOS論理回路

LOG1, LOG2 CMOS論理回路

QN1, QN2; QN1a, QN2a; QN1b, QN2b

NMOSトランジスタ

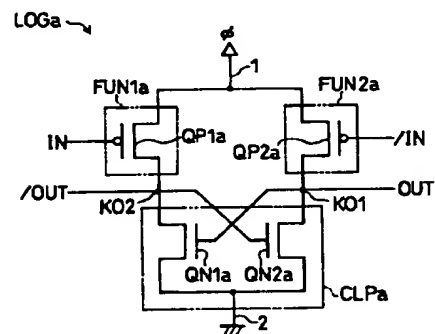
QN11~QN16; QN21~QN26 NMOSトランジスタ

QP1, QP2; QP1a, QP2a; QP1b, QP2b

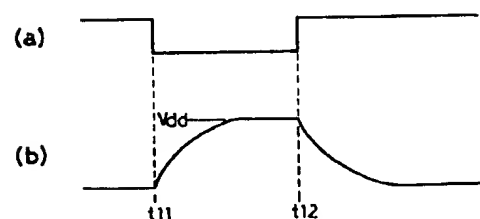
PMOSトランジスタ

ϕ , $\phi 1$, $\phi 2$, $\phi 3$, $\phi 4$ パルス電源

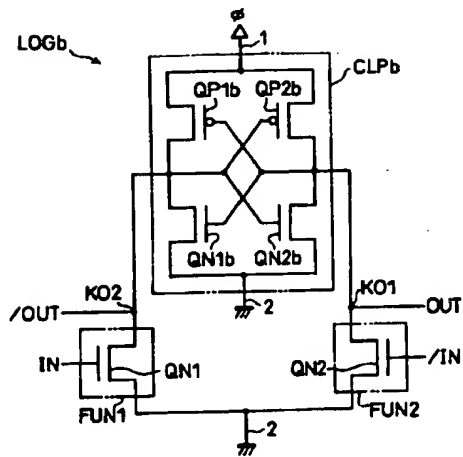
【図2】



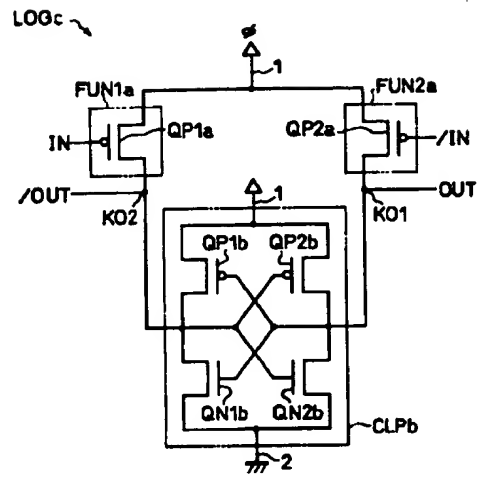
【図7】



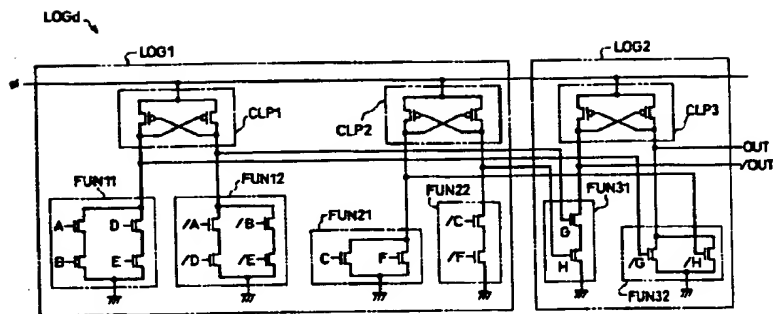
【図3】



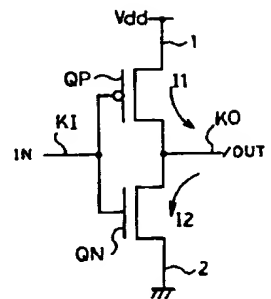
【図4】



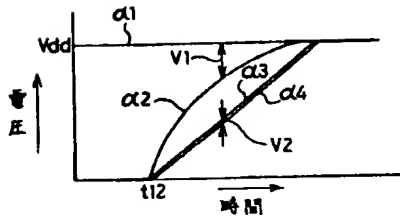
【図5】



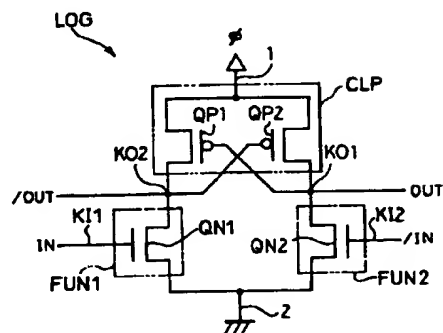
【図6】



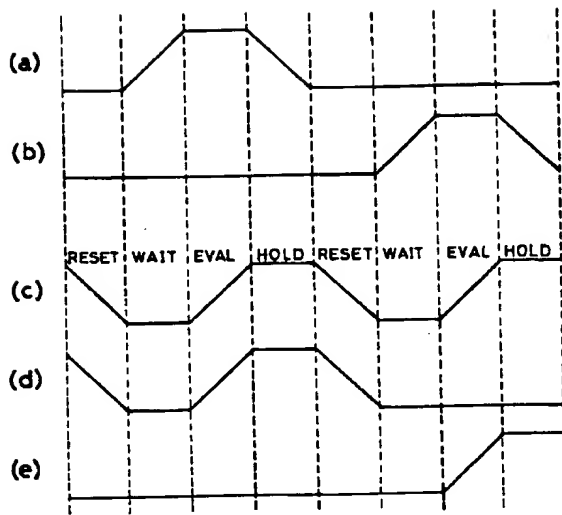
【図8】



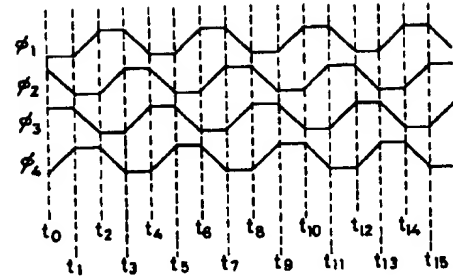
【図9】



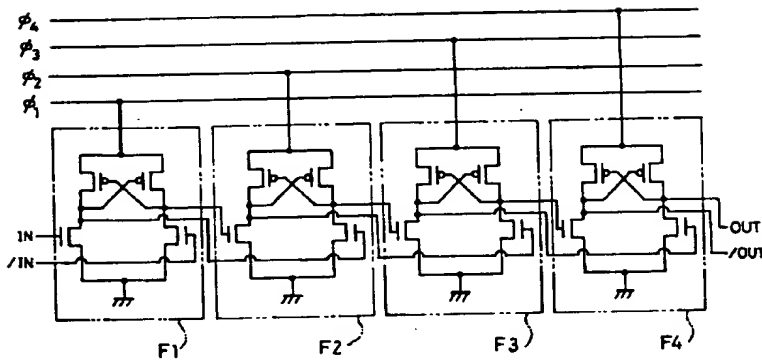
【図10】



【図12】



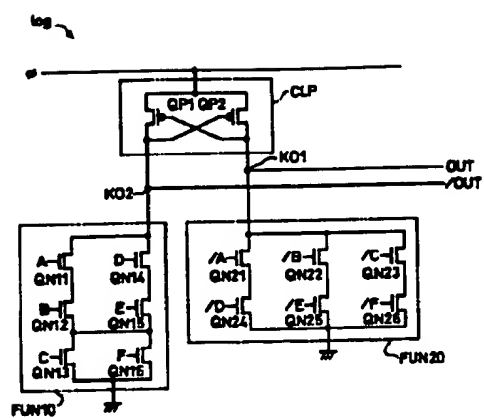
【図11】



【図13】

	F1	F2	F3	F4
$t_0 \rightarrow t_1$	WAIT (#1)	RESET	•	•
$t_1 \rightarrow t_2$	EVALUATE (#1)	WAIT (#1)	RESET	•
$t_2 \rightarrow t_3$	HOLD (#1)	EVALUATE (#1)	WAIT (#1)	RESET
$t_3 \rightarrow t_4$	RESET (#1)	HOLD (#1)	EVALUATE (#1)	WAIT (#1)
$t_4 \rightarrow t_5$	WAIT (#2)	RESET (#1)	HOLD (#1)	EVALUATE (#1)
$t_5 \rightarrow t_6$	•	WAIT (#2)	RESET (#1)	HOLD (#1)
$t_6 \rightarrow t_7$	•	•	WAIT (#2)	RESET (#1)
$t_7 \rightarrow t_8$	•	•	•	WAIT (#2)

【図14】



【図15】

